



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0039637
Application Number

출원 년 월 일 : 2003년 06월 19일
Date of Application JUN 19, 2003

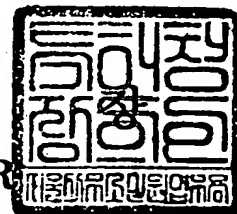
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 07 월 09 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【제출일자】 2003.06.19
【발명의 명칭】 최대변화 지연특성을 갖는 지연회로를 구비한 반도체 장치
【발명의 영문명칭】 semiconductor device having delay circuit with maximum change delay
【출원인】
【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3
【대리인】
【성명】 김능균
【대리인코드】 9-1998-000109-0
【포괄위임등록번호】 2003-002377-2
【발명자】
【성명의 국문표기】 이유미
【성명의 영문표기】 LEE, You Mi
【주민등록번호】 740325-2475743
【우편번호】 135-270
【주소】 서울특별시 강남구 도곡동 965 중명하니빌 406호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김능균 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 10 면 10,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 17 항 653,000 원
【합계】 692,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

외부전원전압의 변화 시 지연회로 내에서 지연타임의 변화가 최대로 일어나게 하여 반도체 장치의 매크시 동작을 줄이고 반도체 장치의 퍼포먼스를 최적화할 수 있는 반도체 장치가 개시된다. 본 발명에 따라, 입력신호를 지연하기 위하여 단위 딜레이가 복수의 단으로 종속접속된 지연부를 구비한 반도체 장치는, 상기 지연부의 단위 딜레이들중 홀수번째 단위 딜레이들의 전원공급전압 노드마다 각기 연결된 복수의 저항 유닛과; 상기 저항 유닛들중 대응되는 저항유닛과 함께 단위 RC 딜레이를 각기 이루기 위해, 일측 노드가 상기 전원공급전압 노드와는 별도로 분리된 제어전압 인가노드에 각기 연결되고 타측노드가 상기 홀수번째 단위 딜레이들의 출력노드에 각기 연결된 복수의 커패시터 유닛을 구비함에 의해 외부전원전압의 변화 시 지연타임의 변화가 최대화된단.

【대표도】

도 4

【색인어】

반도체 장치, 외부전원전압, 지연회로, 지연타임, 지연특성

【명세서】**【발명의 명칭】**

최대변화 지연특성을 갖는 지연회로를 구비한 반도체 장치{semiconductor device having delay circuit with maximum change delay}

【도면의 간단한 설명】

도 1은 종래 기술의 예에 따라 반도체 장치에서의 지연회로를 보인 도면

도 2는 본 발명의 제1 실시예에 따라 반도체 장치에서의 지연회로를 보인 블록도

도 3은 도 2에 따른 구체적 회로도

도 4는 본 발명의 제2 실시예에 따라 반도체 장치에서의 지연회로를 보인 블록도

도 5는 도 4에 따른 구체적 회로도

도 6은 본 발명에 적용되는 제어전압 발생부의 예를 보인 회로도

도 7 내지 도 8은 본 발명의 실시예들에 따라 지연타임의 변화를 각기 보여주는 그래프들

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 반도체 장치에 관한 것으로, 특히 반도체 메모리 등과 같은 반도체 장치에 적용되는 지연회로에 관한 것이다.

<9> 통상적으로, 반도체 메모리장치 등과 같은 반도체 장치에는 칩 내부에서 발생하는 신호나 외부에서 인가되는 신호를 설정된 타임만큼 지연하기 위한 지연회로가 채용되어 있다. 그러한 지연회로는 반도체 장치의 동작 타이밍을 결정하는데 매우 중요한 역할을 담당한다.

<10> 본 분야에서 전형적인 지연회로는 씨모오스 인버터 및 저항과 커패시터로 구성된 딜레이 체인이다. 상기 딜레이 체인에는 외부 또는 내부 전원전압이 동작전압으로서 인가된다. 외부 전원전압이 증가하는 경우에 딜레이 체인의 신호 지연타임량은 내부 콘덕턴스의 변화 등에 기인하여 감소된다. 그렇지만, 외부 전원전압이 증가할 경우 RC 딜레이를 구성하는 상기 커패시터의 작용에 의해 신호 지연타임의 감소량은 그다지 크지 않으므로 지연타임의 대폭적인 감소가 요구되는 곳에서는 적용하기 어렵다.

<11> 종래 기술의 예에 따라 반도체 장치에서의 지연회로는 도 1에 도시된다. 이하에서는 도 1을 참조로, 통상적인 지연회로의 구성 및 동작이 설명된 후, 전원전압의 변화에 따른 지연타임의 변화가 별로 크지 않게 된 이유가 설명될 것이다.

<12> 도면을 참조하면, 4 단(stage)으로 종속(cascade)접속된 씨모오스 인버터들(INV1-INV4)은 지연부를 구성한다. 상기 씨모오스 인버터들(INV1-INV4)은 각기 단위 딜레이로서 기능한다. 저항 유닛들(R1,R3)은 상기 씨모오스 인버터들(INV1-INV4)중 홀수번째 씨모오스 인버터들(INV1, INV3)과 전원공급전압 노

드사이에 각기 연결되고, 저항 유닛들(R2,R4)은 상기 씨모오스 인버터들(INV1-INV4)중 짝수번째 씨모오스 인버터들(INV2, INV4)과 접지(ground)사이에 각기 연결된다. 피형 모오스 트랜지스터로 각기 구성된 커패시터 유닛들(C1,C3)은 일측노드가 상기 전원공급전압 노드에 공통으로 연결되고 타측노드가 상기 홀수번째 씨모오스 인버터들(INV1, INV3)의 출력노드에 각기 연결된다. 엔형 모오스 트랜지스터로 각기 구성된 커패시터 유닛들(C2,C4)은 일측노드가 접지에 연결되고 타측노드가 상기 짝수번째 씨모오스 인버터들(INV2, INV4)의 출력노드에 각기 연결된다.

<13> 입력단(IN)으로 인가되는 신호는 상기 씨모오스 인버터들(INV1-INV4) 및 상기 저항 유닛들(R1-R4)과 상기 커패시터 유닛들(C1-C4)의 지연작용에 의해 지연되어 출력단(OUT)을 통해 출력된다. 여기서, 상기 저항 유닛(R1)과 커패시터 유닛(C1)은 함께 단위 RC 딜레이를 구성하며, 마찬가지로 상기 저항 유닛(R2)과 커패시터 유닛(C2)도 함께 단위 RC 딜레이를 구성한다. 또한, 상기 저항 유닛(R3)과 커패시터 유닛(C3), 상기 저항 유닛(R4)과 커패시터 유닛(C4)도 단위 RC 딜레이를 각기 구성한다.

<14> 도 1에서 상기 저항 유닛들(R1,R3)과 상기 커패시터 유닛들(C1,C3)에 공통으로 인가되는 외부 전원전압은 상기 지연회로의 동작전압으로 되는데, 다양한 요인에 의해 상기 외부 전원전압의 레벨이 상승할 경우에, 상기 저항 유닛들(R1,R3)을 통해 흐르는 전류는 증가한다. 이에 따라, 씨모오스 인버터들(INV1, INV3)의 동작전압도 상승하므로 씨모오스 인버터들(INV1, INV3)의 인버팅 동작에 의한 지연 타임은 감소된다. 그러나, 상기 커패시터 유닛들(C1,C3)의 충전 전하량은 외부 전원전압이

상승하는 경우에 함께 증가되므로 지연 타임의 감소에 영향을 미치지 못한다. 결국, 도 1내의 커패시터 유닛들을 충전 및 방전하는데 필요로 하는 전하량은 전원전압이 증가할 때 같이 증가하므로, 상기 저항 유닛들($R1, R3$)을 통해 흐르는 전류의 증가에 의해서만 지연회로의 지연 타임이 감소된다. 따라서, 지연 타임의 변화량이 일정량 이상으로 크게 변화되기란 매우 어렵다.

<15> 그러므로, 도 1과 같은 지연회로는 전원전압이 상승할 경우 지연 타임이 대폭적으로 감소되어야 하는 곳에서는 적용되기 어렵다. 예를 들어, 고속 동작용 반도체 메모리의 경우 메모리 셀의 데이터를 감지하는 센스앰프가 동작되면 메모리 셀에 인가되는 동작전압인 어레이 전원전압은 레벨은 순간적으로 하강한다. 그러한 어레이 전원전압의 순간적인 하강을 방지하기 위해 센스앰프 인에이블 신호에 응답하여 발생하는 제어펄스로써 어레이 전원전압 발생기를 오버 드라이빙하는 스킴이 상기 반도체 메모리의 내부에 대부분 채용된다. 그러한 경우에, 상기 제어펄스에 관련된 신호를 생성하기 위해 도 1과 같은 지연회로를 사용한 경우, 전원전압의 상승 시에도 상기 제어펄스의 폭은 충분히 감소되지 않게 된다. 따라서, 오버 드라이빙된 어레이 전원전압이 메모리 셀에 과도하게 제공되므로 데이터 액세스 동작에러가 유발될 수 있으며 전력의 소모도 심하다.

<16> 상술한 바와 같이, 종래의 지연회로는 단일 동작전압을 사용하고 저항을 통한 전압 변화에 의해서만 지연동작을 수행하기 때문에, 전원전압의 변동 시 지연 타임 및 신호 펄스폭이 대폭적으로 줄어들어야 하는 것이 필요한 사용 처에는 적용되기 어려운 문제가 있다.

<17> 따라서, 전원전압의 변화에 따라 신호의 지연 타임을 최대로 변화시킬 수 있는 지연 회로가 강력히 요망된다.

【발명이 이루고자 하는 기술적 과제】

<18> 따라서, 본 발명의 목적은 전원전압이 변동하는 경우에 지연 타임을 최대로 변화시킬 수 있는 지연회로를 구비한 반도체 장치를 제공함에 있다.

<19> 본 발명의 다른 목적은 반도체 장치의 동작구간 중에서 불필요한 동작구간을 대폭적으로 줄여 성능을 최적화할 수 있는 반도체 장치를 제공함에 있다.

<20> 본 발명의 또 다른 목적은 외부전원전압의 변화 시 지연회로 내에서 지연타임의 변화가 최대로 일어나도록 할 수 있는 반도체 장치를 제공함에 있다.

<21> 본 발명의 또 다른 목적은 반도체 장치의 액세스 맵핑션을 방지하고 전력소모를 줄여 퍼포먼스를 최적화할 수 있는 반도체 장치를 제공함에 있다.

<22> 본 발명의 또 다른 목적은 전원전압의 증가 시에 지연타임을 대폭적으로 감소시킬 수 있는 반도체 장치를 제공함에 있다.

<23> 본 발명의 또 다른 목적은 전원전압의 증가 시에 신호의 펄스 폭을 현저히 감소시킬 수 있는 반도체 장치를 제공함에 있다.

<24> 본 발명의 또 다른 목적도 전원전압의 상승에 급격하게 감소되는 지연특성을 갖는 지연회로를 제공함에 있다.

<25> 상기한 본 발명의 목적들 가운데 일부의 목적들을 달성하기 위하여 본 발명의 일 양상(aspect)에 따라, 입력신호를 지연하기 위하여 단위 딜레이가 복수의 단으로 종속적

속된 지연부를 구비한 반도체 장치는, 상기 지연부의 단위 딜레이들중 홀수번째 단위 딜레이들의 전원공급전압 노드마다 각기 연결된 복수의 저항 유닛과; 상기 저항 유닛들중 대응되는 저항유닛과 함께 단위 RC 딜레이를 각기 이루기 위해, 일측노드가 상기 전원공급전압 노드와는 별도로 분리된 제어전압 인가노드에 각기 연결되고 타측노드가 상기 홀수번째 단위 딜레이들의 출력노드에 각기 연결된 복수의 커패시터 유닛을 구비함을 특징으로 한다.

<26> 본 발명의 또 다른 양상에 따라, 입력신호를 지연하기 위하여 단위 딜레이가 복수의 단으로 종속접속된 지연부를 구비한 반도체 장치는: 상기 지연부의 단위 딜레이들중 홀수번째 단위 딜레이들의 전원공급전압 노드마다 각기 연결된 복수의 저항 유닛; 상기 저항 유닛들중 대응되는 저항유닛과 함께 단위 RC 딜레이를 각기 이루기 위해, 일측노드가 상기 전원공급전압 노드와는 별도로 분리된 제1 제어전압 인가노드에 각기 연결되고 타측노드가 상기 홀수번째 단위 딜레이들의 출력노드에 각기 연결된 복수의 커패시터 유닛; 및 상기 전원공급전압 노드의 전압과는 별도로 인가되는 제2 제어전압에 제어되며 상기 저항 유닛마다 대응되어 상기 저항 유닛과 병렬로 상기 전원공급전압 노드에 연결된 복수의 스위치 유닛을 구비한다.

<27> 상기한 본 발명의 구성에 따르면, 전원전압의 변화 시 지연회로 내에서 지연타임의 변화가 최대로 일어나게 되어 반도체 장치의 매크셀 동작이 줄어들고, 반도체 장치의 퍼포먼스가 최적화된다.

【발명의 구성 및 작용】

- <28> 이하에서는 본 발명의 실시예들에 따라, 반도체 장치에 적합한 지연회로가 첨부된 도면들을 참조로 설명될 것이다. 비록 다른 도면에 각기 표시되어 있더라도 동일 또는 유사한 기능을 가지는 구성요소들은 동일 또는 유사한 참조부호로서 라벨링된다. 이하의 다양한 실시 예들에서 많은 특정 상세들이 도면을 따라 예를 들어 설명되고 있지만, 이는 본 분야의 통상의 지식을 가진 자에게 본 발명의 이해를 돕기 위한 의도 이외에는 다른 의도 없이 설명되었음을 주목(note)하여야 한다.
- <29> 반도체 장치내에 적용되며, 최대변화 지연특성을 갖는 지연회로의 제1 실시예는 도 2 및 도 3을 참조로 설명될 것이다.
- <30> 도 2는 본 발명의 제1 실시예에 따라 반도체 장치에서의 지연회로를 보인 블록도이고, 도 3은 도 2에 따른 구체적 회로도이다.
- <31> 먼저, 도 2를 참조하면, 단위 딜레이로서 제1 내지 제 n (여기서 n 은 2이상의 자연수)지연기들(10-16)은 n 단으로 종속 접속되어 지연부를 구성한 것이 보여진다. 여기서, 상기 n 이 짝수(2의 배수)인 경우에 출력단(OUT)으로 출력되는 출력신호의 위상(phase)는 입력단(IN)으로 인가된 입력신호의 위상과 동일하고, 상기 n 이 홀수인 경우에 출력신호의 위상은 입력신호의 위상과 반대로 된다.
- <32> 상기 제1 내지 제 n 지연기들(10-16) 각각의 입력과 출력간의 지연 타임은 전원전압의 레벨에 의존한다. 하나의 단위 딜레이로서는 원하는 지연 타임을 얻기 어렵기 때문에 회로 설계자들은 도면에 도시된 바와 같이 단위 딜레이를 복수의 단으로 종속 접속한다

- <33> 저항 유닛들(R_1 - R_m)은 상기 지연기들중 홀수번째 지연기들(10,14)과 전원공급전압 노드사이에 각기 연결되고, 짝수번째 지연기들(12,16)과 접지사이에 저항 유닛들이 연결되지 않는다. 도 1의 구성과는 달리, 커패시터 유닛들(20,22)은 일측노드가 상기 전원공급전압 노드와는 별도로 분리된 제어전압(V_1) 인가노드에 각기 연결되고 타측노드가 상기 홀수번째 지연기들(10,14)의 출력노드에 각기 연결된다. 마찬가지로, 짝수번째 지연기들(12,16)의 출력노드와 접지사이에 커패시터 유닛들이 연결되지 않는다.
- <34> 입력단(IN)으로 인가되는 신호는 상기 지연기들(10-16) 및 상기 저항 유닛들(R_1 - R_m)과 상기 커패시터 유닛들(20-22)의 지연작용에 의해 지연되어 출력단(OUT)을 통해 출력된다. 여기서, 상기 저항 유닛(R_1)과 제1 커패시터(20)은 함께 RC 시정수(time constant)를 갖는 단위 RC 딜레이를 구성하며, 마찬가지로 상기 저항 유닛(R_m)과 제1 커패시터(22)도 함께 RC 시정수를 갖는 단위 RC 딜레이를 구성한다.
- <35> 도 2에서의 특징은 홀수번째 지연기들의 출력노드마다 연결된 커패시터 유닛의 일측노드에는 외부 전원전압이 아니라 전압레벨이 항상 일정한 제어전압(V_1)이 인가된다는 점이다. 상기한 도 2의 특징적 구성에 따르면 도 1의 경우와는 달리 상기 커패시터 유닛들도 지연 타임의 변화에 영향을 미침에 의해 지연 타임이 대폭적으로 변화된다.
- <36> 이하에서는 도 2의 구체적 구현회로인 도 3과, 상기 도 3과 같은 형태로 구성한 지연회로의 지연동작을 그래프로서 보인 도 7을 참조로 지연 타임의 변화량이 설명될 것이다.
- <37> 도 3을 참조하면, 도 2의 제1 내지 제 n 지연기들(10-16)이 씨모오스 인버터로써 각기 구현된 것이 보여진다. 또한, 제1 내지 제 m (여기서 m 은 $1/2n$)커패시터(20-22)는 피형 모오스 트랜지스터로 각기 구성됨을 알 수 있다. 도 3의 경우에 4단 인버터 체인으로

구성되었지만, 반도체 장치의 적용에 있어 증감이 가능함은 물론이다. 예컨대, 고속 반도체 장치에서, 상기 저항 유닛을 약 3.5 킬로옴(k Ω)으로, 상기 모오스 커패시터의 사이즈를 약 100 평방 마이크로미터(μm^2)로 각기 설계하고, 인버터 체인을 10단 정도 종속 접속 한 경우에 1.6볼트의 전원전압에서 신호의 지연타임은 약 5 나노초(nS)로 나타난다.

<38> 도 3에서 상기 저항 유닛들(R1,Rm)에는 외부전원전압이 동작전압으로서 인가되지만, 상기 커패시터 유닛들(20,22)의 일측노드(실제로는 반도체 기판)에는 전압레벨이 항상 일정한 제어전압(V1)이 동작전압으로서 인가된다.

<39> 따라서, 상기 외부 전원전압의 레벨이 상승할 경우에, 상기 저항 유닛들(R1,Rm)을 통한 전류의 증가에 의해 홀수번째 지연기들(10,14)의 출력노드에서 나타나는 지연 타임은 감소된다. 또한, 추가로, 상기 커패시터 유닛들(20,22)의 충전 전하량은 외부 전원전압이 상승하는 경우에 함께 증가하지 않으므로 지연 타임은 감소된다. 결국, 도 3내의 커패시터 유닛들을 충전 및 방전하는데 필요로 하는 전하량은 전원전압이 증가할 때 같이 증가하지 않으므로, 상기 저항 유닛들(R1,Rm)을 통해 흐르는 전류의 증가와 상기 커패시터 유닛들(20,22)의 동작에 의해서 지연회로의 지연 타임은 대폭적으로 감소된다. 따라서, 지연 타임의 변화량이 일정량 이상으로 크게 변화된다.

<40> 도 7을 참조하면, 가로축은 외부 전원전압을 볼트(V)단위로 나타낸 것이고 세로축은 지연 타임을 나노초(nS)단위로 나타낸 것이다. 도 3의 커패시터 유닛들에 인가되는 제어전압(V1)을 특정한 전압값으로 고정하고 외부전원전압을 변화시켰을 경우에 지연타임의 변화가 그래프로서 보여진다. 그래프들(G1-G7)중에서 그래프들(G2-G6)은 커패시터 유닛에 인가되는 제어전압(V1)을 2.0 볼트부터 1.2볼트까지 0.2볼트 단위로 각기 감소시

킨 경우에 각기 대응되어 나타나는 지연특성 커브들이다. 또한, 그래프(G1)는 도 1의 경우와 같이 커패시터 유닛에 외부 전원전압을 그대로 인가한 경우에 나타나는 지연특성 커브이다. 미설명된 그래프(G7)는 RC단위 딜레이를 제거한 상태에서 딜레이 체인만에 의해 나타나는 지연특성 커브이다

<41> 도 7내의 그래프들을 비교할 경우에, 외부 전원전압이 변화하더라도 항상 일정한 레벨을 갖는 제어전압(V1)이 커패시터 유닛에 인가될 경우에 커패시터의 충전에 필요한 전하량이 일정하게 유지되므로, 커패시터 유닛에 외부전원전압을 그대로 인가하는 경우(G1)에 비해, 지연 타임이 대폭적으로 감소됨을 알 수 있다. 도 7내에서의 그래프들을 통하여 상기 제어전압(V1)이 1.2볼트로 세팅되는 경우에 지연 타임의 변화가 가장 큼을 쉽게 알 수 있다.

<42> 이하에서는 제2 실시예가 설명될 것이다.

<43> 도 4는 본 발명의 제2 실시예에 따라 반도체 장치에서의 지연회로를 보인 블록도이고, 도 5는 도 4에 따른 구체적 회로도이다. 또한, 도 6은 본 발명에 적용되는 제어전압 발생부의 예를 보인 회로이다.

<44> 먼저, 도 4를 참조하면, 도 2의 구성에 더하여 제2 제어전압(V2)을 수신하며 저항 유닛과는 병렬로 연결된 제1 내지 제 m 스위치 유닛들(40-42)이 추가적으로 연결된 것이 보여진다.

<45> 구체적으로, 도 4에서 단위 딜레이로서 제1 내지 제 n (여기서 n 은 2이상의 자연수) 지연기들(10-16)은 n 단으로 종속 접속되어 지연부를 구성한다. 유사하게, 상기 n 이 짝수(2의 배수)인 경우에 출력단(OUT)으로 출력되는 출력신호의 위상(phase)는 입력단(IN)

으로 인가된 입력신호의 위상과 동일하고, 상기 n 이 홀수인 경우에 출력신호의 위상은 입력신호의 위상과 반대로 된다. 제1 내지 제 m 저항들(R_1 - R_m)은 상기 지연기들중 홀수번째 지연기들(10,14)과 전원공급전압 노드사이에 각기 연결된다. 제1 내지 제 m 커패시터들(20,22)은 일측노드가 상기 전원공급전압 노드와는 별도로 분리된 제어전압(V_1) 인가 노드에 각기 연결되고 타측노드가 상기 홀수번째 지연기들(10,14)의 출력노드에 각기 연결된다. 상기 제1 내지 제 m 스위치 유닛들(40-42)은 상기 전원공급전압 노드의 전압과는 별도로 인가되는 제2 제어전압(V_2)에 제어되며 상기 제1 내지 제 m 저항들(30-32)마다 각기 대응되어 상기 제1 내지 제 m 저항들(30-32)과는 병렬로 상기 전원공급전압 노드에 연결된다.

<46> 입력단(IN)으로 인가되는 신호는 상기 지연기들(10-16), 상기 저항들(30-32)과 상기 스위치들(40-42)의 병렬 합성저항, 및 상기 커패시터들(20-22)에 의한 지연작용에 의해 지연되어 출력단(OUT)을 통해 출력된다. 여기서, 상기 제1 스위치(40)와 제1 저항(30)의 병렬연결에 의한 합성저항과 제1 커패시터(20)는 함께 RC 시정수(time constant)를 갖는 단위 RC 딜레이를 구성하며, 마찬가지로 상기 제 m 스위치(42)와 제 m 저항(32)의 병렬연결에 의한 합성저항과 제 m 커패시터(22)는 함께 RC 시정수를 갖는 단위 RC 딜레이를 구성한다.

<47> 도 4에서의 특징은 홀수번째 지연기들의 출력노드마다 연결된 커패시터 유닛의 일측노드에는 외부 전원전압이 아니라 전압레벨이 항상 일정한 제어전압(V_1)이 인가되는 것은 물론, 상기 스위치들의 턴온 동작의 정도에 따라 상기 합성 저항값이 변화된다는 점이다. 상기한 도 4의 특징적 구성에 따르면 도 2의 경우에 더하여 스위치들이 지연 타임의 변화에 더욱 영향을 미치게 되므로 지연 타임이 최대로 변화된다.

- <48> 이하에서는 도 4의 구체적 구현회로인 도 5와, 상기 도 5과 같은 형태로 구성된 지연회로의 지연동작을 그래프로서 보인 도 9를 참조로 지연 타임의 변화량이 설명될 것이다.
- <49> 도 5를 참조하면, 도 4의 제1 내지 제 n 지연기들(10-16)이 씨모오스 인버터로써 각기 구현된 것이 보여진다. 또한, 제1 내지 제 m (여기서 m 은 $1/2n$)커패시터(20-22)는 소오스와 드레인이 서로 연결된 피형 모오스 트랜지스터로 각기 구성됨을 알 수 있다. 상기 스위치들(40-42)은 게이트가 제2 제어전압(V_2)에 연결되고 소오스가 상기 외부 전원전압에 연결된 피형 모오스 트랜지스터들(P1-P2)로 각기 구성됨을 알 수 있다.
- <50> 도 5의 경우에 4단의 인버터 체인으로 구성되었지만, 반도체 장치의 적용에 있어 증감이 가능함은 물론이다.
- <51> 제1 제어전압(V_1)과 제2 제어전압을 사용하는 도 5에서, 외부 전원전압의 레벨이 상승하면, 상기 피형 모오스 트랜지스터들(P1-P2)의 게이트-소오스간 전압이 상승하므로 상기 피형 모오스 트랜지스터들(P1-P2)은 보다 강하게(strongly) 턴온된다. 이에 따라, 상기 피형 모오스 트랜지스터(P1)와 제1 저항(R_1)의 병렬연결에 의한 합성저항 값은 감소되므로, 씨모오스 인버터(10)에 인가되는 동작전압이 증가된다. 그렇게 됨에 의해 인버터(10)의 지연 타임은 저항(R_1)만 연결된 경우에 비해 현저히 감소된다. 즉, 지연 타임이 짧아진다. 또한, 상기 피형 모오스 트랜지스터(P2)와 제 m 저항(R_2)의 병렬연결에 의한 합성저항 값도 감소되므로, 씨모오스 인버터(14)에 인가되는 동작전압도 증가된다. 결국, 홀수번째 인버터들(10-14)의 지연 타임은 저항들 만으로 연결된 경우에 비해 현저히 감소된다.

- <52> 이와 같이, 상기 저항 유닛들(R1,R2)과 병렬로 연결된 스위치 유닛들(P1-P2)의 작용에 의해 홀수번째 지연기들(10,14)의 출력노드에서 나타나는 지연 타임은 도 3의 경우보다 더 감소된다. 또한, 도 3에서 설명한 바와 같이, 상기 커패시터 유닛들(C1,C2)의 충전 전하량은 외부 전원전압이 상승하는 경우에 함께 증가하지 않으므로 지연 타임은 도 1의 경우에 비해 추가적으로 감소된다.
- <53> 결국, 병렬 합성 저항값이 감소됨과 아울러, 커패시터 유닛들을 충전 및 방전하는데 필요로 하는 전하량은 전원전압이 증가할 때 같이 증가하지 않으므로, 지연회로의 지연 타임은 최대로 감소된다. 따라서, 지연 타임의 변화량이 일정량 이상으로 최대로 변화된다.
- <54> 도 9를 참조하면, 도 7과 마찬가지로 가로축은 외부 전원전압을 볼트(V)단위로 나타낸 것이고 세로축은 지연 타임을 나노초(nS)단위로 나타낸 것이다. 도 5의 커패시터 유닛들에 인가되는 제1 제어전압(V1)을 특정한 전압값으로 고정하고, 또한, 피형 모오스트랜지스터들에 인가되는 제2 제어전압(V2)도 특정한 전압값으로 고정하고, 외부전원전압을 변화시켰을 경우에 지연타임의 변화가 그래프로서 보여진다. 그래프들(G21-G27)중에서 그래프들(G22-G26)은 커패시터 및 스위치 유닛에 인가되는 제1,2 제어전압(V1,V2)을 2.0 볼트부터 1.2볼트까지 0.2볼트 단위로 각기 감소시킨 경우에 각기 대응되어 나타나는 지연특성 커브들이다. 또한, 그래프(G21)는 도 1의 경우와 같이 저항과 커패시터 유닛에 외부 전원전압을 그대로 인가한 경우에 나타나는 지연특성 커브이다.
- <55> 도 9내의 그래프들을 비교할 경우에, 외부 전원전압이 변화하더라도 항상 일정한 레벨을 갖는 제1,2 제어전압(V1,V2)이 커패시터 유닛 및 스위치 유닛에 인가될 경우에, 그래프(G1)에 비해, 지연 타임이 대폭적으로 감소됨을 알 수 있다. 도 9내에서의 그래프

들을 통하여 상기 제어전압들(V1,V2)이 모두 1.2볼트로 세팅되는 경우(G26)에 지연 타임의 변화가 가장 크게 얻어짐을 알 수 있다.

<56> 한편, 도 8은 도 5의 구성에서 커패시터 유닛에 제1 제어전압(V1)을 인가함이 없이 외부전원전압을 그대로 인가한 경우에 얻어진 그래프를 보인 것이다. 즉, 도 5의 커패시터 유닛들에 인가되는 제1 제어전압(V1) 대신에 외부 전원전압을 인가하고, 또한, 피형 모오스 트랜지스터들에 인가되는 제2 제어전압(V2)을 특정한 전압값으로 고정된 상태에서, 외부전원전압을 변화시켰을 경우에 보여지는 지연타임의 변화이다. 그래프들(G11-G17)중에서 그래프들(G12-G16)은 스위치 유닛에 인가되는 제어전압(V2)을 2.0 볼트부터 1.2볼트까지 0.2볼트 단위로 각기 감소시킨 경우에 각기 대응되어 나타나는 지연특성 커브들이다. 또한, 그래프(G11)는 도 1의 경우와 같이 저항과 커패시터 유닛에 외부 전원전압을 그대로 인가한 경우에 나타나는 지연특성 커브이다.

<57> 도 8내의 그래프들을 비교할 경우에, 상기 제어전압(V2)이 1.2볼트로 세팅되는 경우(G16)에 지연 타임의 변화가 가장 크게 얻어짐을 알 수 있다.

<58> 상기한 바와 같은 실시 예들의 설명을 통하여, 동작전압으로서 제공되는 외부 전원전압이 상승 시 딜레이 체인의 등가저항 및 커패시터에 저장되는 전하량을 기존보다 작게 유지함에 의해 지연 타임은 대폭적으로 또는 최대로 감소됨을 알 수 있다. 따라서, 상기한 지연 회로를 반도체 장치에 적용할 경우에 반도체 장치의 동작구간 중 불필요한 전원인가가 감소되어, 반도체 장치의 액세스 에러 방지는 물론 전력의 소모가 줄어든다.

<59> 첨부 같지만, 보다 명확한 이해를 제공하기 위하여, 도 6에는 상기 제1 및 제2 제어전압을 생성하는 제어전압 발생부의 예가 도시된다. 도면을 참조하면, 저항(R1) 및 모

오스 다이오드(Q1)로 이루어진 제어전압 발생부(60a)는 드레쉬홀드 전압타입 기준전압 발생기이다. 한편, 피형 및 엔형 모오스 트랜지스터들(PM1, PM2, NM1, NM2)과 저항(R1)으로 이루어진 제어전압 발생부(60b)는 써말 전압타입 기준전압 발생기이다. 상기 제어전압 발생부들(60a, 60b)의 출력노드(N01)에 나타나는 전압(Vref)은 상기 제1 또는 제2 제어전압(V1, V2)으로서 사용될 수 있다.

<60> 또한, 반도체 장치내의 내부 전원전압 발생기를 상기 제어전압 발생부로서 이용할 수 있음은 물론이다. 그리고, 본 발명의 실시 예들에서 커패시터 유닛 및 스위치 유닛에 인가되는 전압들은 편의상 상기 제1 및 제2 제어전압(V1, V2)으로 구별되었지만, 상기 제1 제어전압과 제2 제어전압의 레벨은 동일 또는 서로 다른 레벨로 설정될 수 있다.

<61> 또한, 상기 실시예 들에서는 일방향 만으로의 딜레이 변화를 최대로 감소시키기 위해 홀수단에만 단위 RC딜레이를 연결하였지만, 사안에 따라 짝수단 또는 모든 인버터에도 단위 RC 딜레이를 연결할 수 있음은 물론이다.

<62> 상기한 설명에서는 본 발명의 실시 예를 위주로 도면을 따라 예를 들어 설명하였지만, 본 발명의 기술적 사상의 범위 내에서 본 발명을 다양하게 변형 또는 변경할 수 있음은 본 발명이 속하는 분야의 당업자에게는 명백한 것이다. 예를 들어, 사안이 다른 경우에 단위 딜레이, 저항 및 커패시터 소자들의 연결관계를 본 발명의 기술적 사상을 벗어남이 없이 다양한 형태로 변경할 수 있음은 물론이다.

【발명의 효과】

<63> 상술한 바와 같이, 본 발명에 따르면, 전원전압의 변화 시 지연회로 내에서 지연타임의 변화가 최대로 일어나게 하므로 반도체 장치의 불필요한 동작구간이 줄어들고, 반도체 장치의 퍼포먼스가 최적화되는 효과가 있다.

【특허청구범위】**【청구항 1】**

입력신호를 지연하기 위하여 단위 딜레이가 복수의 단으로 종속접속된 지연부를 구비한 반도체 장치에 있어서:

상기 지연부의 단위 딜레이들중 홀수번째 단위 딜레이들의 전원공급전압 노드마다 각기 연결된 복수의 저항 유닛과;

상기 저항 유닛들중 대응되는 저항유닛과 함께 단위 RC 딜레이를 각기 이루기 위해, 일측노드가 상기 전원공급전압 노드와는 별도로 분리된 제어전압 인가노드에 각기 연결되고 타측노드가 상기 홀수번째 단위 딜레이들의 출력노드에 각기 연결된 복수의 커패시터 유닛을 구비함을 특징으로 하는 반도체 장치.

【청구항 2】

제1항에 있어서,

상기 제어전압 인가노드에 공급되는 제어전압은 상기 전원공급전압의 변화에 대하여 상기 지연부의 지연시간의 변화량이 급격하도록 하기 위한 정전압임을 특징으로 하는 반도체 장치.

【청구항 3】

제2항에 있어서,

상기 단위 딜레이는 씨모오스 인버터 회로로 구성됨을 특징으로 하는 반도체 장치.

【청구항 4】

제3항에 있어서,

상기 전원공급전압 노드에 공급되는 전원공급전압은 외부로부터 인가되는 외부전원 전압임을 특징으로 하는 반도체 장치.

【청구항 5】

제4항에 있어서,

상기 제어전압은 상기 전원공급전압의 레벨보다 낮은 레벨임을 특징으로하는 반도체 장치.

【청구항 6】

제5항에 있어서,

상기 지연부의 단위 딜레이들중 짝수번째 단위 딜레이들은 상기 전원공급전압 노드를 통하여 상기 전원공급전압을 직접적으로 수신함을 특징으로 하는 반도체 장치.

【청구항 7】

입력신호를 지연하기 위하여 단위 딜레이가 복수의 단으로 종속접속된 지연부를 구비한 반도체 장치에 있어서:

상기 지연부의 단위 딜레이들중 홀수번째 단위 딜레이들의 전원공급전압 노드마다 각기 연결된 복수의 저항 유닛;

상기 저항 유닛들중 대응되는 저항유닛과 함께 단위 RC 딜레이를 각기 이루기 위해, 일측노드가 상기 전원공급전압 노드와는 별도로 분리된 제1 제어전압 인가노드에 각기 연결되고 타측노드가 상기 홀수번째 단위 딜레이들의 출력노드에 각기 연결된 복수의 커패시터 유닛; 및

상기 전원공급전압 노드의 전압과는 별도로 인가되는 제2 제어전압에 제어되며 상기 저항 유닛마다 대응되어 상기 저항 유닛과 병렬로 상기 전원공급전압 노드에 연결된 복수의 스위치 유닛을 구비함을 특징으로 하는 반도체 장치.

【청구항 8】

제7항에 있어서,

상기 제1 제어전압 인가노드에 공급되는 제1 제어전압은 상기 전원공급전압의 변화에 대하여 상기 지연부의 지연시간의 변화량이 급격하도록 하기 위한 정전압임을 특징으로 하는 반도체 장치.

【청구항 9】

제7항에 있어서,

상기 단위 딜레이는 씨모오스 인버터 회로로 구성됨을 특징으로 하는 반도체 장치.

【청구항 10】

제7항에 있어서,

상기 전원공급전압은 외부로부터 인가되는 외부전원전압임을 특징으로 하는 반도체 장치.

【청구항 11】

제8항에 있어서,

상기 제1 제어전압은 상기 전원공급전압의 레벨보다 낮은 레벨임을 특징으로 하는 반도체 장치.

【청구항 12】

제7항에 있어서,

상기 지연부의 단위 딜레이들중 짝수번째 단위 딜레이들은 상기 전원공급전압 노드를 통하여 상기 전원공급전압을 직접적으로 수신함을 특징으로 하는 반도체 장치.

【청구항 13】

제8항에 있어서,

상기 제1 제어전압은 상기 제2 제어전압의 레벨보다 낮은 레벨임을 특징으로 하는 반도체 장치.

【청구항 14】

제8항에 있어서,

상기 제1 제어전압은 상기 제2 제어전압의 레벨보다 높은 레벨임을 특징으로 하는 반도체 장치.

【청구항 15】

제8항에 있어서,

상기 제1 제어전압은 상기 제2 제어전압의 레벨과 같은 레벨임을 특징으로 하는 반도체 장치.

【청구항 16】

제8항에 있어서,

상기 스위치 유닛은 피형 모오스 트랜지스터로 구성됨을 특징으로 하는 반도체 장치.

【청구항 17】

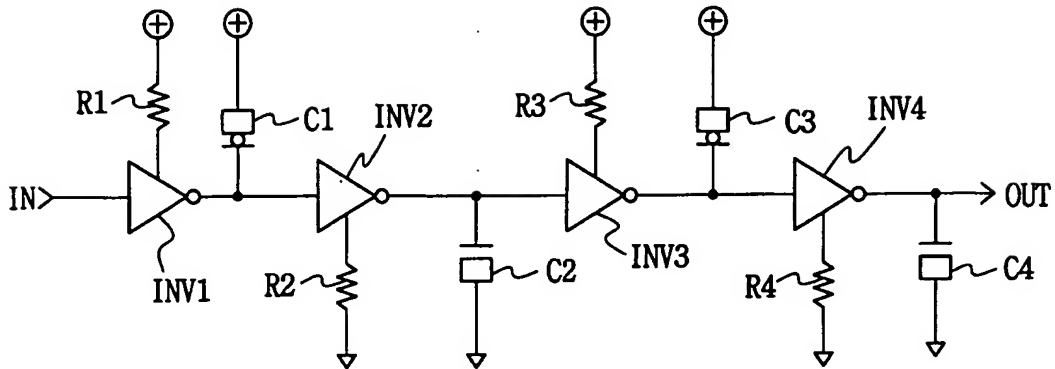
입력신호를 지연하기 위하여 단위 딜레이가 복수의 단으로 종속접속된 지연부를 구비한 반도체 장치에 있어서:

상기 지연부의 단위 딜레이들중 짝수번째 단위 딜레이들의 전원공급전압 노드마다 각기 연결된 복수의 저항 유닛과;

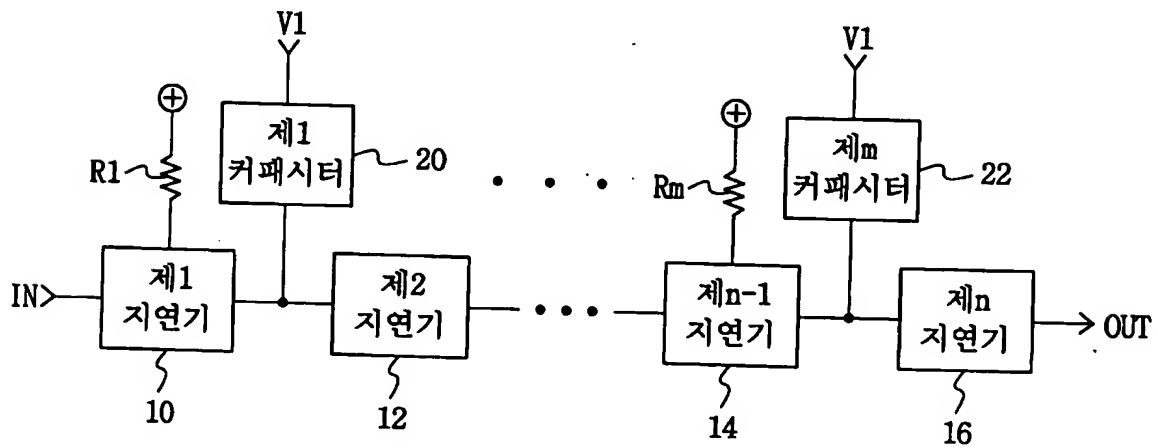
상기 저항 유닛들중 대응되는 저항유닛과 함께 단위 RC 딜레이를 각기 이루기 위해 , 일측노드가 상기 전원공급전압 노드와는 별도로 분리된 제어전압 인가노드에 각기 연결되고 타측노드가 상기 짝수번째 단위 딜레이들의 출력노드에 각기 연결된 복수의 커패시터 유닛을 구비함을 특징으로 하는 반도체 장치.

【도면】

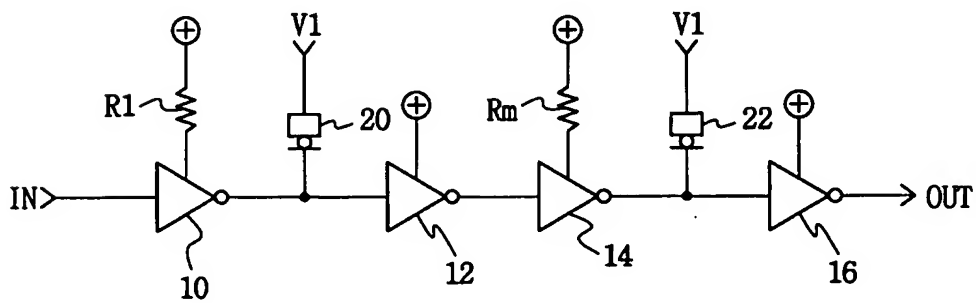
【도 1】



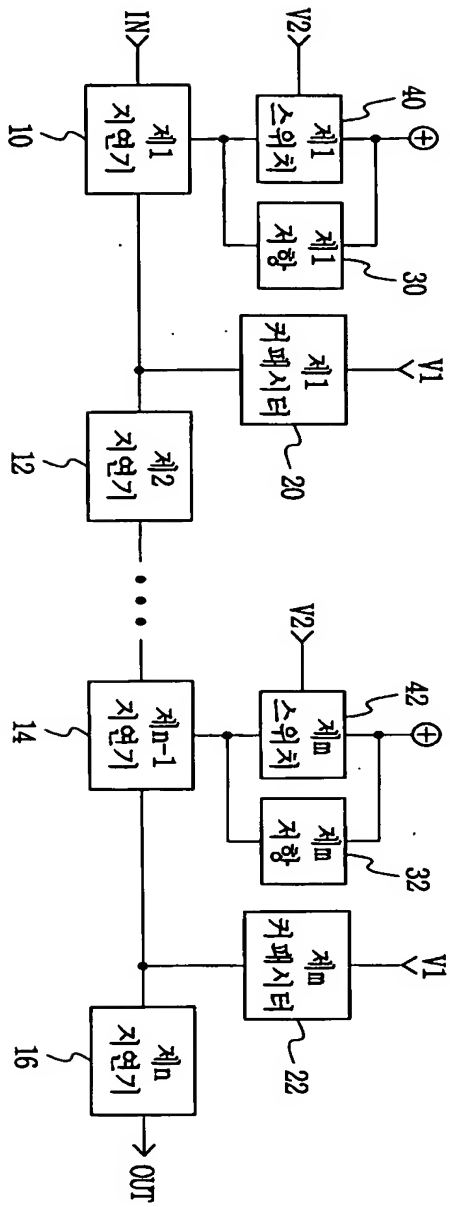
【도 2】



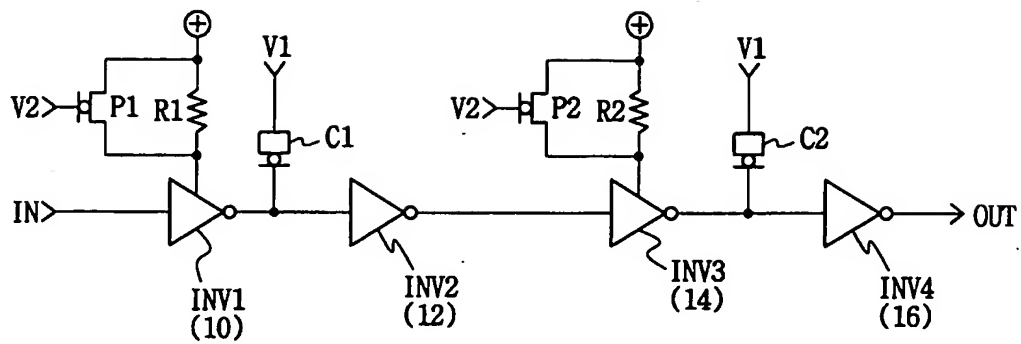
【도 3】



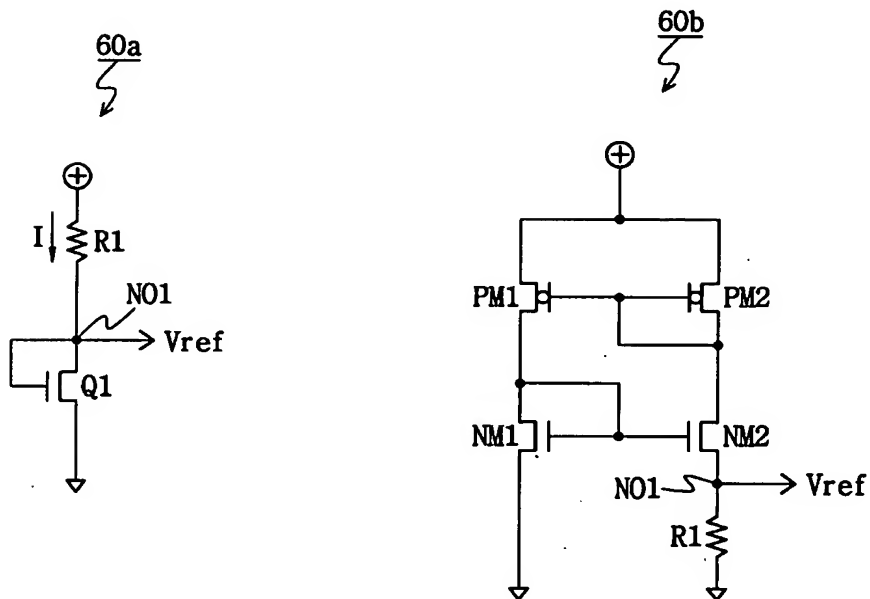
【도 4】



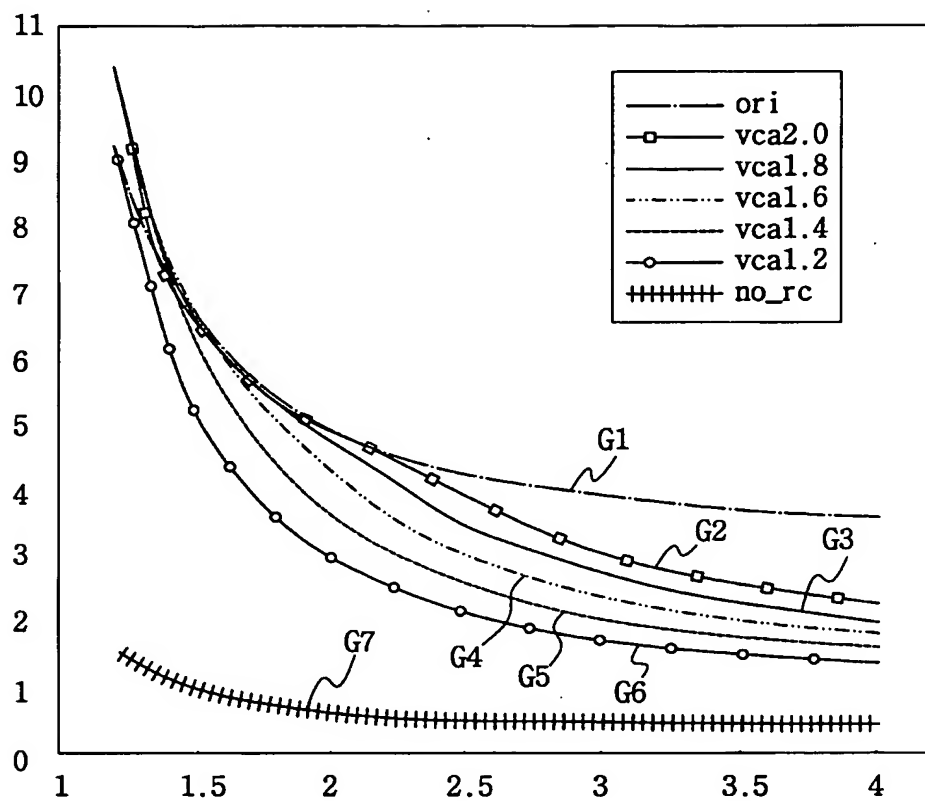
【도 5】



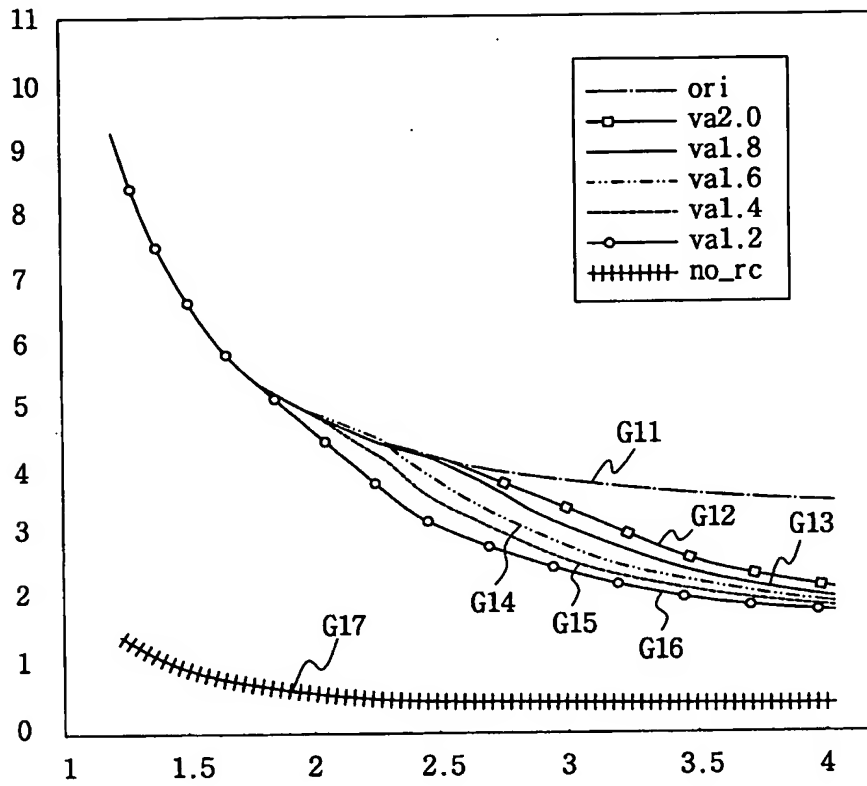
【도 6】



【도 7】



【도 8】



【도 9】

